

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-219587

(43)Date of publication of application : 19.08.1997

(51)Int.Cl.

H05K 3/46

H01G 4/33

H05K 3/00

(21)Application number : 08-022907

(71)Applicant : FUJITSU LTD

(22)Date of filing : 09.02.1996

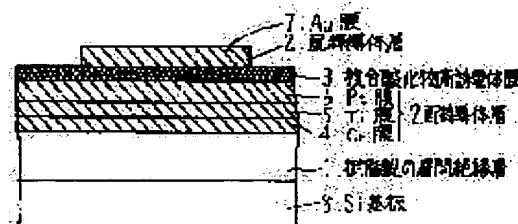
(72)Inventor : SOMETA HIROKI

(54) THIN FILM MULTILAYERED CIRCUIT SUBSTRATE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To form a high dielectric film on a substrate without heating the substrate unfavorably affecting an interlayer resin film in relation to a thin film multilayered circuit substrate used for electronic equipment.

SOLUTION: This substrate is composed of resin made interlayer insulating layers 1 having viaholes and wiring conductor layers alternately multilayer laminated. At this time, a part of the resin made interlayer insulating layers 1 substituting for compound oxide high dielectric films 3 is formed to be selectively annealed using laser beams so as to compose a capacitor of the compound oxide high dielectric films 3 and upper and lower wiring conductor layers holding said dielectric films 3.



LEGAL STATUS

[Date of request for examination]

29.08.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-219587

(43) 公開日 平成9年(1997) 8月19日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K	3/46		H 0 5 K 3/46	E
				N
				Q
H 0 1 G	4/33		3/00	L
H 0 5 K	3/00		H 0 1 G 4/06	1 0 2
審査請求 未請求 請求項の数 4 O L (全 5 頁)				

(21) 出願番号 特願平8-22907

(22) 出願日 平成8年(1996) 2月9日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 染田 博樹

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

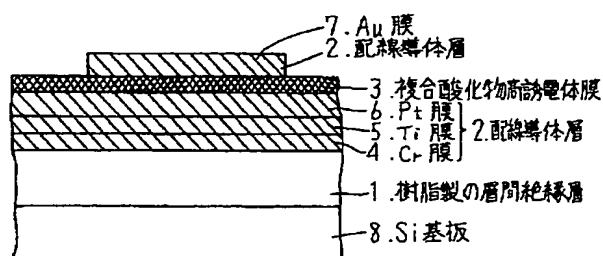
(54) 【発明の名称】 薄膜多層回路基板とその製造方法

(57) 【要約】

【課題】 本発明は、電子機器に用いられる薄膜多層回路基板に関し、層間樹脂膜に悪影響を与える基板加熱を行うことなく基板内に高誘電体膜を形成する。

【解決手段】 ビアホールを有する樹脂製の層間絶縁層1と配線導体層2とを交互に多層積層して構成された薄膜多層回路基板において、樹脂製の層間絶縁層の一部を複合酸化物高誘電体膜に置き換えて成膜し、レーザを用いて複合酸化物高誘電体を選択的にアニールし、複合酸化物高誘電体膜ならびに該複合酸化物高誘電体膜を挟む上層配線導体層と下層配線導体層とでコンデンサを構成する。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 ビアホールを有する樹脂製の層間絶縁層と配線導体層とを交互に多層積層して構成された薄膜多層回路基板の内部に、複合酸化物高誘電体膜を用いたコンデンサを含むことを特徴とする薄膜多層回路基板。

【請求項2】 ビアホールを有する樹脂製の層間絶縁層と配線導体層とを交互に多層積層して構成された薄膜多層回路基板の製造方法において、該樹脂製の層間絶縁層の一部を複合酸化物高誘電体膜に置き換えて成膜し、該複合酸化物高誘電体膜ならびに該複合酸化物高誘電体膜を挟む上層配線導体層と下層配線導体層とでコンデンサを構成することを特徴とする薄膜多層回路基板の製造方法。

【請求項3】 前記複合酸化物高誘電体膜を成膜した後、前記複合酸化物高誘電体膜を選択的にアニールすることを特徴とする請求項2記載の薄膜多層回路基板の製造方法。

【請求項4】 前記アニールはレーザを用いて行うことを特徴とする請求項3記載の薄膜多層回路基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子機器に用いられる多層回路基板に関する。近年、マルチチップモジュール(MCM)用の薄膜多層回路基板において、セラミックス、金属等の支持基板上に銅/ポリイミド薄膜多層回路を形成したMCM-D基板が主流となっている。

【0002】

【従来の技術】MCMにおける電源電圧変動の防止対策として、現在、デカップリングコンデンサとしてチップコンデンサをLSIチップの近くに実装を行っている。

【0003】しかし、チップコンデンサの場合、LSIチップとコンデンサ間のリードインダクタンスの存在によって、電源電圧変動の防止効果が薄れてくる。また、一つのモジュール上のLSIチップ数が増加すると、チップコンデンサの占める実装面積が増えて、MCMの小型化の妨げになるという問題もある。

【0004】そこで、MCM基板に大容量の薄膜コンデンサ(100nF以上/cm²)を内蔵することが可能となれば、以上の問題点が解消される。

【0005】

【発明が解決しようとする課題】しかし、薄膜コンデンサ材料として求められている高誘電率材料としては、複合酸化物(例えばSrTiO₃)が挙げられるが、複合酸化物は高誘電率を達成するために一般的に500℃以上という高い形成温度が必要とされる。

【0006】これらの材料はスパッタリング、CVD等の成膜方法で作製されるが、通常は基板加熱を行いながら成膜を行っている。しかしながら、薄膜多層回路基板の層間絶縁材料であるポリイミド等の樹脂は耐熱性に乏

しいものが多いため、基板加熱を必要とする従来の方法では、MCM-D基板(樹脂積層基板)内に高誘電率の複合酸化物を成膜することが出来なかった。

【0007】

【課題を解決するための手段】図1は本発明の原理説明図であり、コンデンサ特性評価用試料の構成を示す。図において、1は樹脂製の層間絶縁層、2は配線導体層、3は複合酸化物高誘電体膜、4はクロム(Cr)膜、5はチタン(Ti)膜、6は白金(Pt)膜、7は金(Au)膜、8はシリコン(Si)基板である。

【0008】本発明では、高誘電体の複合酸化物高誘電体膜を基板上に低温成膜後に薄膜コンデンサの形成部分のみを選択的に加熱することにより、層間絶縁層の樹脂膜にダメージを与えずに薄膜多層回路基板中に大容量薄膜コンデンサを形成することができる。

【0009】図1に示すように、コンデンサ特性評価試料の基板としてSi基板8を用い、Si基板8上に樹脂製の層間絶縁層1としてポリイミド樹脂を20μmの厚さに被覆する。次いで、配線導体層2として、Cr膜1,000Å、Ti膜500Å、Pt膜1,500Åを

続いて積層する。
【0010】そして、配線導体層2をパターニングし、その上に複合酸化物高誘電体膜3としてSrTiO₃膜を5,000Åの厚さに非加熱で成膜する。続いて、複合酸化物高誘電体膜3をアニールするが、複合酸化物高誘電体膜3の選択的な加熱の方法としては、レーザを用いて照射する。レーザを薄膜の複合酸化物高誘電体膜3の表面に照射することにより、薄膜の複合酸化物高誘電体膜3を結晶化させ、比誘電率を向上させることができる。

【0011】先ず、レーザアニールの効果について本発明の結果を示す。図1の試料において用いた複合酸化物高誘電体膜3のSrTiO₃膜の比誘電率は20、誘電損失は1.0%、リーク電流10⁻⁸以下(5V)であった。

【0012】エキシマレーザ照射後の効果について、フルエンス(レーザ強度)と比誘電率、誘電損失、リーク電流の関係図を図2～図4に示す。但しレーザ強度が200mJ/cm²・pulseを超える領域では、SrTiO₃膜がアブレーション(飛散)により破壊されるため、条件として不適当である。レーザ強度が100～200mJ/cm²・pulseでは、図2～図4に示すように、アニールによる比誘電率の向上等の良い結果が得られ、薄膜コンデンサとして良好な特性を示している。

【0013】また、レーザの照射時間が短時間であるため、下地の樹脂層間絶縁層として用いたポリイミド樹脂へのダメージは見られない。

【0014】

【発明の実施の形態】図5～図6は本発明の一実施例の

工程順模式断面図である。の説明図である。

【0015】図において、11は窒化アルミニウム（AlN）基板、12は電源及び接地層、13はポリイミド樹脂、14はビアホール、15は埋込みプラグ、16は配線導体層、17は接地層、18はSrTiO₃高誘電体膜、19は電極、20は表面パッドである。

【0016】本発明による薄膜多層回路基板作製の一実施例を図5～図6により説明する。先ず、図5（a）に示すように、窒化アルミニウム基板11上にスパッタ法によりクロム（Cr）膜を500Åの厚さに、その上に銅（Cu）膜を1μmの厚さに成膜し、フォトリソグラフィ法でパターンを形成し、電源および接地層12を得る。

【0017】次に、図5（b）に示すように、光硬化性のポリイミド樹脂溶液をスピコート法により成膜し、80℃で2時間のプリキュアを行う。そしてマスクを通した露光、現像後、400℃で30分のキュアを行い、ビアホール14が開口された厚さ20μmからなるポリイミド樹脂13からなる層間絶縁層を得る。

【0018】次に、図5（c）に示すように、ビアホール14内にはCuを電解または無電解めっきによって埋込み、埋込みプラグ15を形成する。続いて、図5（d）に示すように、前述の接地層と同じ構成で配線導体層16をポリイミド樹脂13上に形成する。

【0019】更に、図5（e）に示すように、層間絶縁層であるポリイミド樹脂13を配線導体層16を挟んで二層重ねて形成する。そして、図6（f）に示すように、Cr膜1、000Å、Ti膜500Å、Pt膜1、500Åを続けて積層し、パターニングして接地層17を形成する。

【0020】続いて、図6（g）に示すように、接地層17の上にレジストを用いたリフトオフ法及びスパッタ法でSrTiO₃高誘電体膜18を5000Åの厚さに形成する。

【0021】本発明においてはSrTiO₃高誘電体膜18の成膜時の基板加熱は行わない。このSrTiO₃高誘電体膜18の表面に限定して、選択的にKrFエキシマレーザ光を150mJ/cm²・pulse、100Hzで照射し、アニールを瞬間的に行う。この条件で140nF/cm²のコンデンサを作製することができた。

【0022】最後に、図6（h）に示すように、Auを2、000Åの厚さに堆積して電極19とし、ポリイミド樹脂を被覆し、ポリイミド樹脂13に形成したビアホール14内に埋込みプラグ15を作製、基板表面にCr膜500Å、Ni膜2μm、Au膜2、000Åが積層された表面パッド20を形成して、本発明の薄膜多層回路を得る。

【0023】なお、AlN基板11はアルミナやガラス、金属ベース絶縁基板などでも良い。また、SrTiO₃高誘電体膜18は、他の複合酸化物BaTiO₃や（Ba、Sr）TiO₃や、Pb（Zr、Ti）O₃等でも良い。

【0024】更に、層間絶縁層としてのポリイミド樹脂13は、弗素樹脂、オレフィン樹脂等でも良い。また誘電体のアニールに用いるレーザは炭酸ガスレーザ等でも良い。

【0025】

【発明の効果】以上の説明から明らかなように、本発明の薄膜多層回路基板は、樹脂薄膜多層回路中に大容量の高誘電率複合酸化物薄膜コンデンサを内蔵することができ、回路基板の小型化、高密度化の実現に寄与するところが大きい。

【図面の簡単な説明】

【図1】 本発明の原理説明図

【図2】 レーザ強度と比誘電率の関係図

【図3】 レーザ強度と誘電損失の関係図

【図4】 レーザ強度とリーク電流の関係図

【図5】 本発明の一実施例の工程順模式断面図（その1）

【図6】 本発明の一実施例の工程順模式断面図（その2）

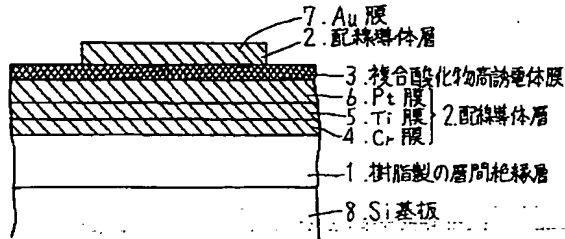
【符号の説明】

図において

- 1 樹脂製の層間絶縁層
- 2 配線導体層
- 3 複合酸化物高誘電体膜
- 4 Cr膜
- 5 Ti膜
- 6 Pt膜
- 7 Au膜
- 8 Si基板
- 11 AlN基板
- 12 電源及び接地層
- 13 ポリイミド樹脂
- 14 ビアホール
- 15 埋込みプラグ
- 16 配線導体層
- 17 接地層
- 18 SrTiO₃高誘電体膜
- 19 電極
- 20 表面パッド

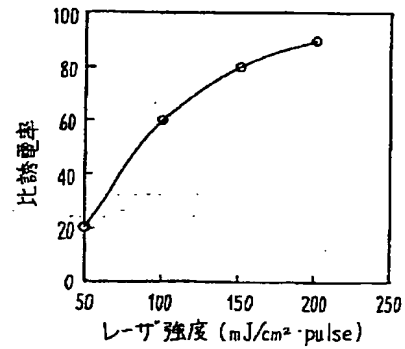
【図1】

本発明の原理説明図



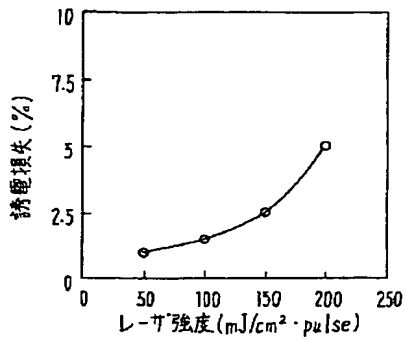
【図2】

レーザ強度と比誘電率の関係図



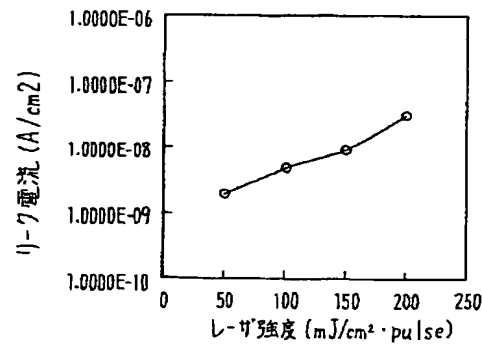
【図3】

レーザ強度と誘電損失の関係図



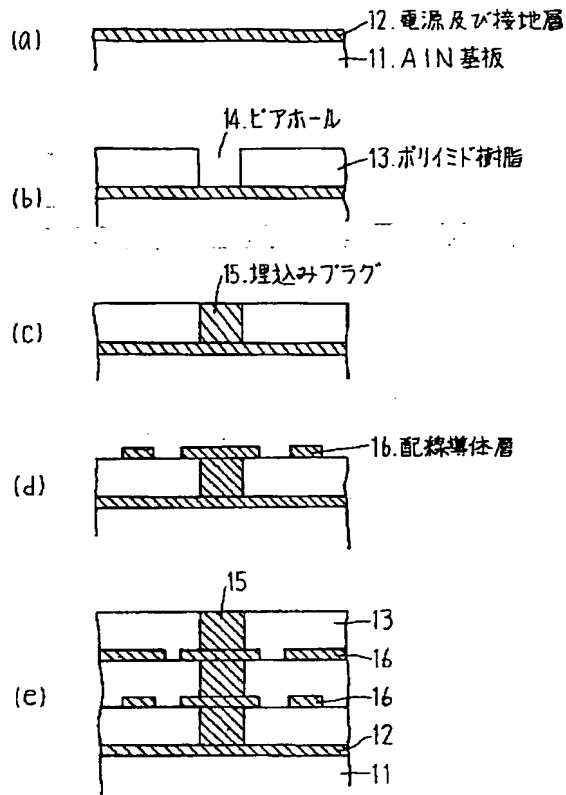
【図4】

レーザ強度とリーク電流の関係図



【図5】

本発明の一実施例の工程順模式断面図（その1）



【図6】

本発明の一実施例の工程順模式断面図（その2）

